

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-131125

(43)Date of publication of application : 04.06.1991

(51)Int.CI.

H03M 1/82
G06K 15/00

(21)Application number : 01-268227

(71)Applicant : CANON INC

(22)Date of filing : 17.10.1989

(72)Inventor : KAWANA TAKASHI

SETO KAORU

KASHIWABARA ATSUSHI

MANO HIROSHI

SAITO TETSUO

ITO MICHIO

OKUBO MASAHIRO

SASAME HIROSHI

YAMADA HIROMICHI

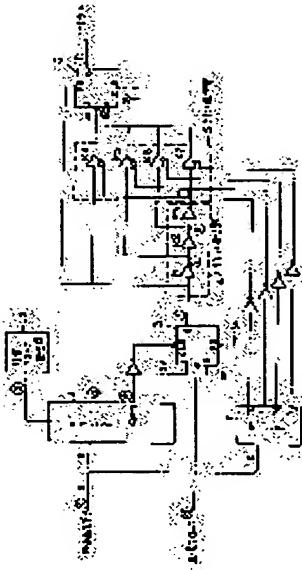
OSHIMA MASAKI

(54) PULSE WIDTH MODULATING CIRCUIT

(57)Abstract:

PURPOSE: To attain pulse width modulation with fidelity by forming a pulse signal with a rough time width based on a high-order n-bit, sloping its leading or trailing edge, forming an analog signal based on a low-order (N-n) bits and combining the analog signals.

CONSTITUTION: High-order 6 bits of an 8-bit multi-value picture density data (c) are inputted to a counter 1 and low-order 2 bits are inputted to a decoder 7 respectively. The rise of Q output of a JK flip-flop 3 sets a JK flip-flop 6 to bring its output Q(j) to a high level. The decoder 7 decodes the low-order 2-bit of a multi-value picture data and outputs the decode signal of a high level in response to the input data whose values are 0-3 to any of terminals Yo-Y3 respectively. Thus, a signal with fidelity to the input 8-bit multi-value picture data is obtained as a whole.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑪ 公開特許公報 (A) 平3-131125

⑫ Int. Cl. 5

H 03 M 1/82
G 06 K 15/00

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月4日

9065-5J
8323-5B

審査請求 未請求 請求項の数 4 (全9頁)

⑤ 発明の名称 パルス幅変調回路

⑪ 特願 平1-268227

⑫ 出願 平1(1989)10月17日

⑬ 発明者	川名 孝	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	瀬戸 薫	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	柏原 淳	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	真野 宏	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	斎藤 徹雄	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	伊藤 道夫	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	大久保 正晴	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑬ 発明者	笹目 裕志	東京都大田区下丸子3丁目30番2号	キャノン株式会社内
⑭ 出願人	キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
⑮ 代理人	弁理士 大塚 康徳	外1名	

最終頁に続く

明細書

1. 発明の名称

パルス幅変調回路

回路出力の各タイミング信号によりセット／リセットするフリップフロップ回路又はラッチ回路を備えることを特徴とするパルス幅変調回路。

2. 特許請求の範囲

(1) Nビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調回路において、

(2) 前記タイミング信号発生回路はカウンタ回路、シフトレジスタ回路又はこれらとデジタルコンパレータ回路の組み合わせを含むことを特徴とする請求項第1項記載のパルス幅変調回路。

所定周波数のクロック信号を計数することにより前記デジタルデータの上位nビットデータに基づく時間幅のタイミング信号を発生するタイミング信号発生回路と、

(3) 前記遅延回路はタイミング信号の伝搬を遅させるディレイライン回路と、下位(N-n)ビットデータをデコードするデコーダ回路と、該デコーダ回路出力によって前記ディレイライン回路上の各中途出力信号を選択するセレクタ回路を備えることを特徴とする請求項第1項記載のパルス幅変調回路。

前記タイミング信号発生回路出力の前側又は後ろ側のタイミング信号を前記デジタルデータの下位(N-n)ビットデータに基づく時間だけ遅延させる遅延回路と、

(4) Nビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調

前記タイミング信号発生回路出力及び前記遅延

回路において、

所定周波数のクロック信号を計数することにより前記デジタルデータの上位 n ビットデータに基づく時間幅のパルス信号を発生するパルス信号発生回路と、

前記パルス信号発生回路出力のパルス信号のトレーリングエッジ又はリーディングエッジをスロープ化するスロープ化回路と、

前記デジタルデータの下位 ($N-n$) ビットデータに基づく値をアナログ信号に変換する D/A 変換回路と、

前記 D/A 変換回路及び前記スロープ化回路の各出力信号を比較するコンパレータ回路を備えることを特徴とするパルス幅変調回路。

3. 発明の詳細な説明

【産業上の利用分野】

本発明はパルス幅変調回路に関し、特に N ビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調回路に関する。

【従来の技術】

この種の回路はレーザビームプリンタや LED プリンタ等の画像形成装置に使用されている。

第 5 図は従来の画像形成装置のパルス幅変調回路の回路図であり、第 6 図は第 5 図の回路の動作タイミングチャートである。

不図示のホストコンピュータやスキヤナ等の外部機器より送られる 4 ビットの多値画像データは画像クロック信号の立ち上がりでカウンタ 11 にロードされる。カウンタ 11 は計数クロック発生器 12 より出力される計数クロック信号によ

り順次カウントダウンし、カウンタ出力が 0 になつた時点でキャリー (Carry) 信号が出力される。これにより、JK フリップフロップ 13 の Q 出力は画像クロック信号の立ち上がりでセットされ、キャリー信号の発生によりリセットされるパルス幅変調信号になる。このパルス幅変調信号は不図示のレーザドライバ回路に入力され、レーザ素子を点滅させることにより不図示の感光ドラムを感光させ、電子写真法を用いて中間調濃度の印刷を行う。

【発明が解決しようとする課題】

しかしながら、上記従来法で n 階調濃度を表現するためには画像クロック信号の n 倍周波数の計数クロック信号が必要になる。例えば画像クロック信号が 1 MHz であるとすると、8 ビットの多値画像信号により 256 階調を表現するために

は 256 MHz の計数クロック信号が必要になる。このため、高価な ECL (Emitter Coupled Logic) 等の高速デバイスを使用する必要があり、また高速のために放射ノイズを発生しやすくなる等の問題もあつた。

本発明は上述した従来技術の欠点を除去するものであり、その目的とする所は、高い周波数の計数クロック信号を使用せずとも忠実なパルス幅変調を行えるパルス幅変調回路を提供することにある。

【課題を解決するための手段及び作用】

本発明のパルス幅変調回路は上記の目的を達成するため、 N ビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調回路において、所定周波数のクロック信号を計数することにより前記デジタルデータの上位 n ビッ

トデータに基づく時間幅のタイミング信号を発生するタイミング信号発生回路と、前記タイミング信号発生回路出力の前側又は後ろ側のタイミング信号を前記デジタルデータの下位 (N-n) ビットデータに基づく時間だけ遅延させる遅延回路と、前記タイミング信号発生回路出力及び前記遅延回路出力の各タイミング信号によりセット／リセットするフリップフロップ回路又はラッチ回路を備えることをその概要とする。

これにより、上位 n ビットに基づく粗い時間幅のタイミング信号を形成し、併せて下位 (N-n) ビットに基づく微細な時間幅のタイミング信号を形成し、これらのタイミング信号の組み合わせでフリップフロップ回路又はラッチ回路をセット／リセットする。

また本発明のパルス幅変調回路は上記の目的を

トレーリングエッジをスロープ化する。併せて下位 (N-n) ビットに基づくアナログ信号を形成し、これらをコンバレータで比較する。

【実施例の説明】

以下、添付図面に従つて本発明による実施例を詳細に説明する。

【第1実施例】

第1実施例は遅延回路としてディレイライン回路を使用する場合に関する。

第1図は画像形成装置に採用した第1実施例のパルス幅変調回路の回路図であり、第2図は第1図の構成の動作タイミングチャートである。

図において、8ビットの多値画像濃度データ①のうち上位6ビットはカウンタ1に、下位2ビットはデコーダ7に夫々入力する。画像クロック信号②が立ち上ると、上位の6ビットデータは

達成するために、Nビットのデジタルデータを対応するパルス幅のパルス信号に変調するパルス幅変調回路において、所定周波数のクロック信号を計数することにより前記デジタルデータの上位 n ビットデータに基づく時間幅のパルス信号を発生するパルス信号発生回路と、前記パルス信号発生回路出力のパルス信号のトレーリングエッジ又はリーディングエッジをスロープ化するスロープ化回路と、前記デジタルデータの下位 (N-n) ビットデータに基づく値をアナログ信号に変換するD/A変換回路と、前記D/A変換回路及び前記スロープ化回路の各出力信号を比較するコンバレータ回路を備えることをその概要とする。

これにより、上位 n ビットに基づく粗い時間幅のパルス信号を形成し、そのリーディング又は

カウンタ1にロードされ、かつJKフリップフロップ3はセットされてそのQ出力④はHIGHレベルになる。その後カウンタ1は計数クロック発生器2より出力される計数クロック信号⑤によりカウントダウンする。ここで、計数クロック信号⑤のクロック周波数は画像クロック信号②の64倍で良く、両者は同期している。そして、カウンタ1のカウンタ値③が“0”となつた時はキヤリー信号⑥が出力され、該キヤリー信号⑥の発生と共にJKフリップフロップ3はクリアされ、そのQ出力④はLOWレベルになる。こうして、JKフリップフロップ3のQ出力④のHIGHレベルの時間は多値画像データの上位6ビットの内容が大きいほど長い。

更に、JKフリップフロップ3のQ出力④はその立ち上がりと共にJKフリップフロップ6を

セットし、その出力 Q ①を H I G H レベルにする。また J K フリップフロップ 3 の Q 出力 ④はデイレイ発生部 4 に入力し、その内部で連鎖している3つのバッファ回路 i c 1 ~ i c 3 により夫々所定時間ずつ遅延され、図示のような位相の異なる3つのパルス信号 ⑤, ⑥, ⑦が取り出される。

一方、デコーダ 7 は多値画像データの下位2ビットをデコードし、値が 0 ~ 3 の入力データに応じた H I G H レベルのデコード信号を夫々端子 Y₀ ~ Y₃ の何れか1つに出力する。これらのデコード信号はデイレイ選択部 5 に入力し、デコーダ 7 の出力が H I G H レベルに対応するバッファ回路 i c 4, i c 5, i c 6 又は i c 7 のみを導通可能にする。即ち、入力データ = 0 の時は i c 4、入力データ = 1 の時は i c 5、入力

でデイレイ選択部 5 や J K フリップフロップ 6 には前記の 7 4 L S 0 7 に対して充分遅延時間の小さい 7 4 A S 0 8 や 7 4 A S 3 2 等を用いる。

尚、第1図のバッファ回路 i c 1 ~ i c 3 の代りにデイレイライン素子を使用しても良い。こうすれば素子毎の遅延のばらつきが小さくなり精度が改善される。

【第2実施例】

第2実施例は遅延回路としてスロープ化回路を使用する場合に関する。

第3図は画像形成装置に採用した第2実施例のパルス幅変調回路の回路図であり、第4図は第3図の構成の動作タイミングチャートである。尚、第1実施例と同一部分には同一符号を付して説明を省略する。

図において、9 は C R (積分) 回路であり、

データ = 2 の時は i c 6、入力データ = 3 の時は i c 7 のみが導通する。これにより、J K フリップフロップ 6 をリセットするためのクロック入力は、その立ち下がりのタイミングが下位2ビットデータの大きさに応じて変化することとなり、従つて J K フリップフロップ 6 の Q 出力 ①のパルス幅も全体として入力の8ビットの多値画像データに忠実なものになる。これらは第2図のケース1 ~ ケース4の波形として示されている。

更に、J K フリップフロップ 6 の Q 出力 ①は不図示のレーザドライバに入力し、レーザビームを点滅させて不図示の感光ドラムを感光し、更に電子写真法を用いて中間調濃度の印刷を行う。

尚、デイレイ発生部 4 のバッファ回路 i c 1 ~ i c 3 としては、例えば遅延時間の大きい汎用ロジック I C 7 4 L S 0 7 等を用い、これに対し

パルス信号 ④の立ち下がり部分をなまらせてスロープ化する。即ち、パルス信号 ④が立ち上がる時はダイオード D をバイパスしてコンデンサ C を急速充電するが、パルス信号 ④が立ち下がる時はダイオード D がカットオフする結果、コンデンサ C の電荷は抵抗 R を介して徐々に放電する。従つて C R 回路 9 の出力は信号 ⑤のようになる。

一方、下位2ビットデータは D / A 変換器 8 に入力され、ここで下位2ビットデータの値 0 ~ 3 に応じて電圧レベルが順に低くなるような信号 ①に変換される。1 0 は高速のアナログコンバレータ回路であり、信号 ④と信号 ①を比較することにより、④ > ① の間だけパルス信号 ⑨ を出力する。これにより、コンバレータ回路 1 0 の出力 ⑨ のパルス幅も全体として入力の8ビットの多値画像

データに忠実なものになる。これらは第4図のケース1～ケース4の波形として示されている。

尚、上述実施例ではクロツク計数で形成したパルス信号①のトレーリングエッジを引き延ばす場合について述べたがこれに限らない。例えばクロツク計数により1カウント大きめのパルス信号②を形成し、該信号②のリーディングエッジを遅延させることにより、パルス幅を縮めるようにしても良い。これをおもに第3図について言うと、ダイオードDの極性を逆に接続すれば良い。第1図につても同様に考えられる。

【発明の効果】

以上述べた如く本発明によれば、計数クロツク信号の周波数を下がることができ、使用デバイスのコストを下げられ、かつ放射ノイズも低減できる。

図中、1…カウンタ、2…計数クロツク発生器、3…JKフリップフロップ、4…ディレイ発生部、5…ディレイ選択部、6…JKフリップフロップ、7…デコーダ、8…D/A変換器、9…CR回路、10…高速アナログコンバーティである。

る。従つて、特にレーザビームプリンタやLEDプリンタ等の画像形成装置に採用すると効果絶大である。

4. 図面の簡単な説明

第1図は画像形成装置に採用した第1実施例のパルス幅変調回路の回路図。

第2図は第1図の回路の動作タイミングチャート。

第3図は画像形成装置に採用した第2実施例のパルス幅変調回路の回路図。

第4図は第3図の構成の動作タイミングチャート。

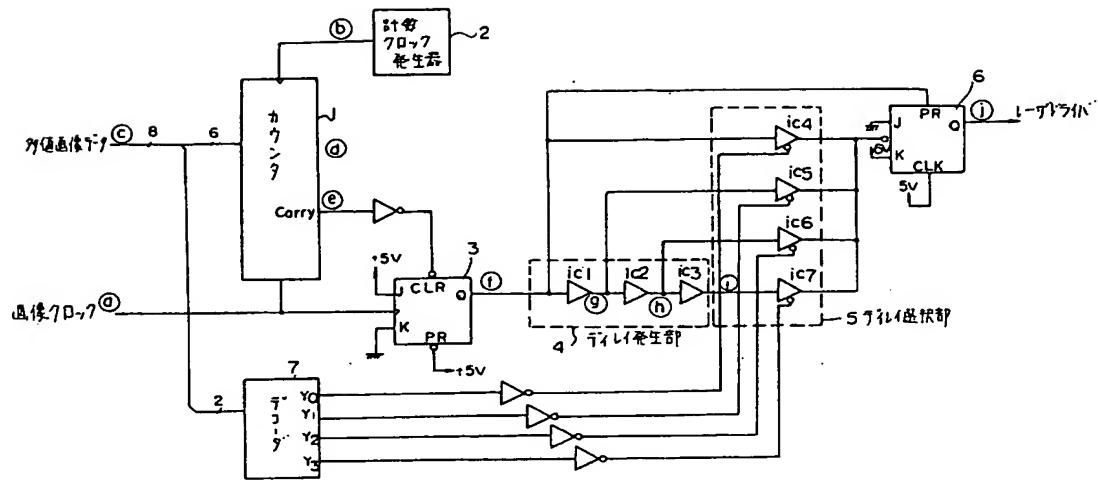
第5図は従来の画像形成装置のパルス幅変調回路の回路図。

第6図は第5図の回路の動作タイミングチャートである。

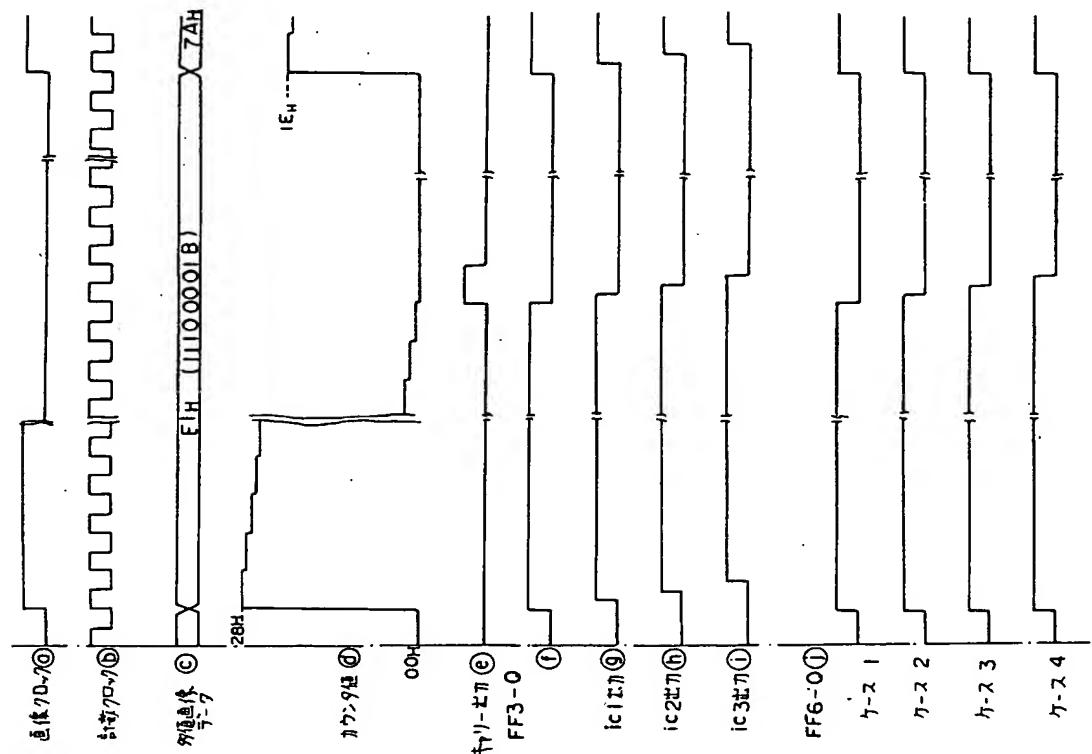
特許出願人 キヤノン株式会社

代理人 弁理士 大塚康徳 (他1名)

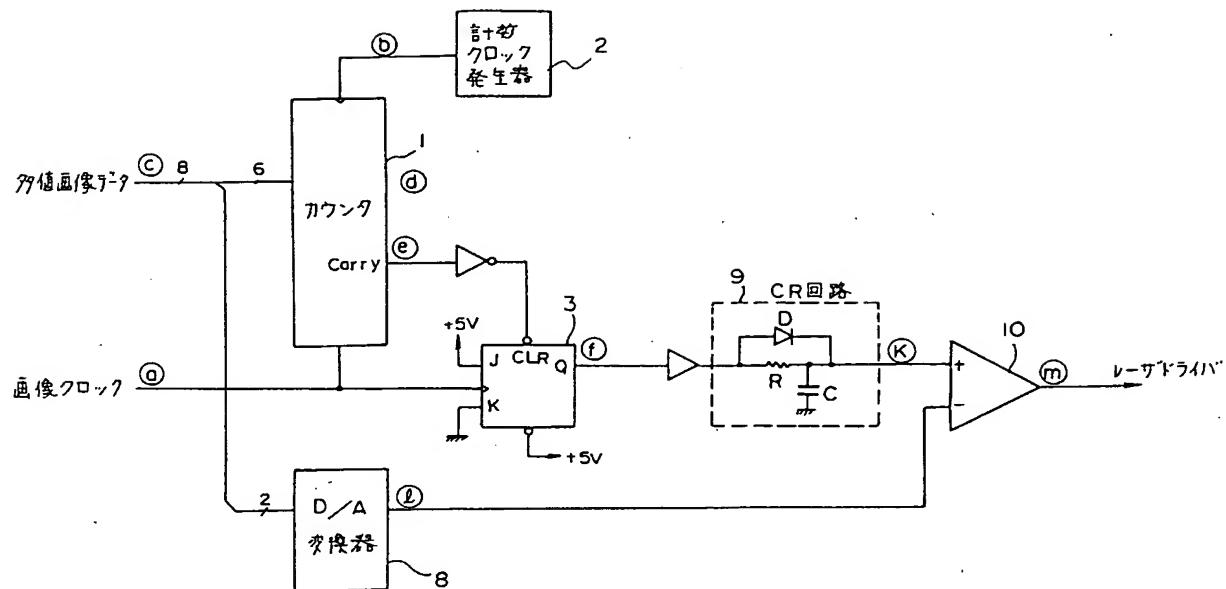
大塚康徳
印



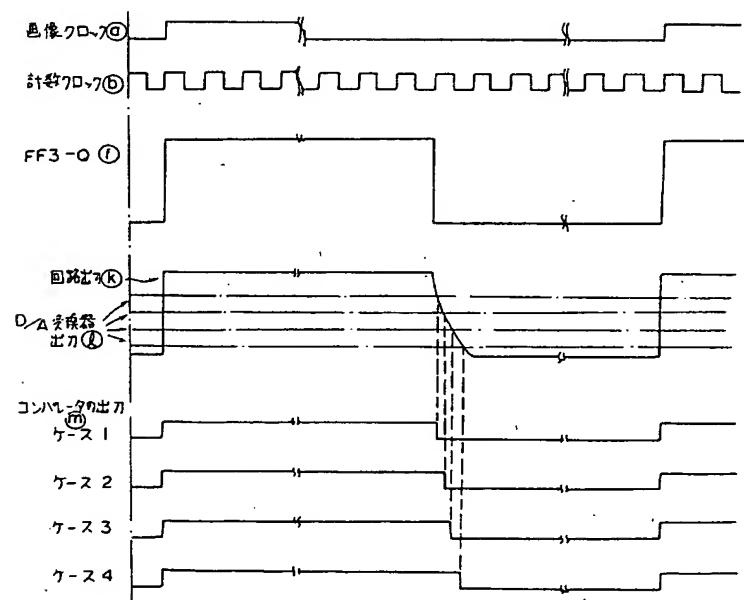
第一圖



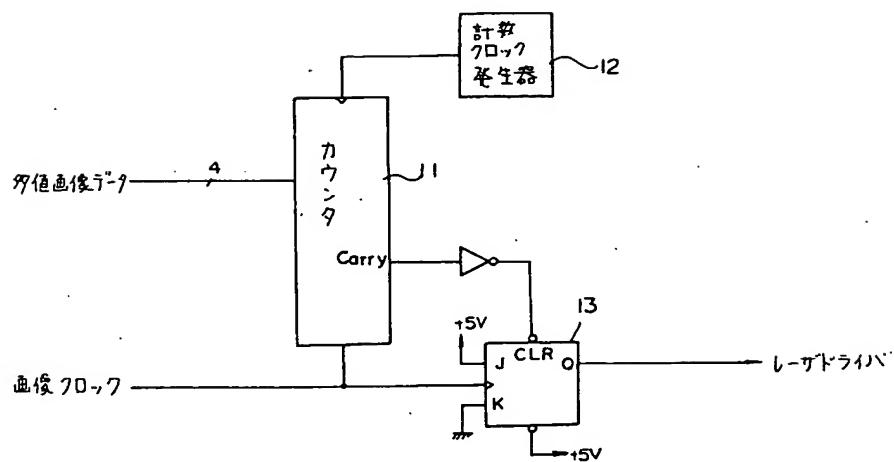
2四



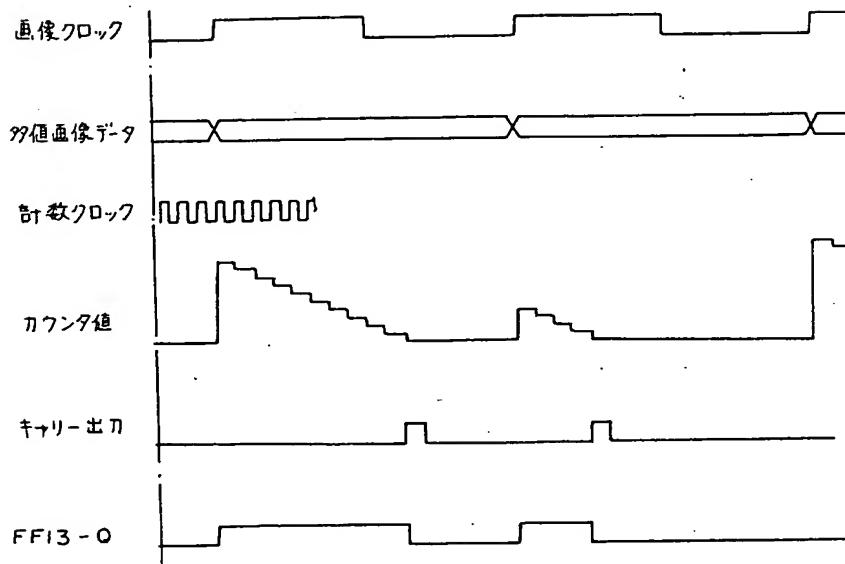
第 3 図



第 4 章



第 5 図



第 6 図

第1頁の続き

⑦発明者 山田 博通 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑦発明者 尾島 磨佐基 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内